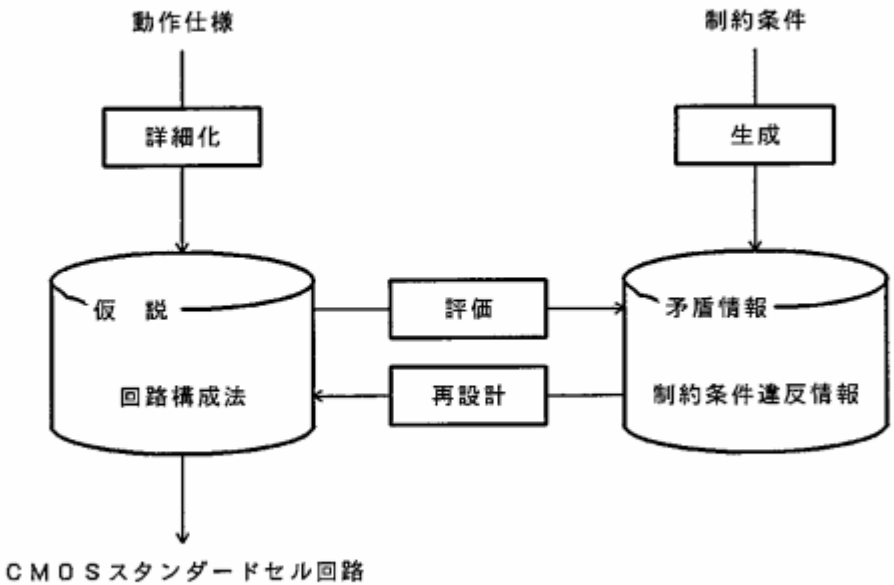


<p>題 名</p>	<p>論理設計エキスパートシステム「co-LODEX」</p>
<p>目 的</p>	<p>論理設計を対象としたエキスパートシステムにおいて、仮説推論等の推論機能の研究を行う。</p>
<p>概要 及び 特徴</p>	<p>co-LODEX (cooperative logic design expert system) は、与えられた制約条件のもとでハードウェアの動作アルゴリズムからCMOSスタンダードセル回路を生成する、論理設計支援システムであり、以下のような特徴をもつ。</p> <p>(1) 回路規模及び時間の制約条件のもとでの自動設計</p> <ul style="list-style-type: none"> ・複数の制約を同時に満足する回路を生成 ・制約条件の変更により、様々な回路を生成 ・データバス系設計と制御系設計の協調 <p>(2) 仮説推論に基づいた再設計機構</p> <ul style="list-style-type: none"> ・設計における選択肢が仮説に、制約条件違反が矛盾に対応 ・制約条件違反の原因情報 (NJ) に基づく効率的な再設計の制御
<p>構 成</p>	 <pre> graph TD A[動作仕様] --> B[詳細化] B --> C[(仮説回路構成法)] D[制約条件] --> E[生成] E --> F[(矛盾情報制約条件違反情報)] C --> G[評価] G --> F F --> H[再設計] H --> C C --> I[CMOSスタンダードセル回路] </pre>

デ モ 内 容 (1/3)

【例題】 ユークリッドの互除法によって最大公約数を求める回路を設計する。

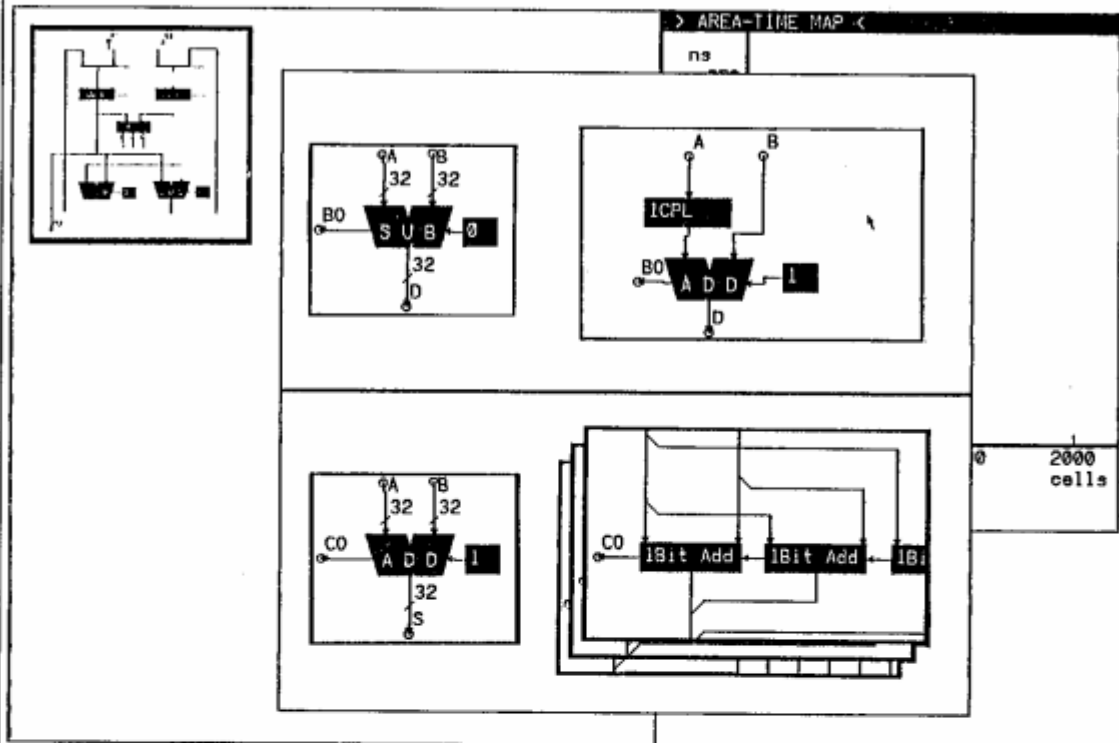
①入力画面

> CONSTRAINTS <	> VHDL TEXT <												
<pre> - Top of Constraints - Area of CHIP =< 1500 - Bottom of Constraints - </pre>	<pre> 22 23 BEHAVIOR-VIEW: behavel; 24 PURPOSE: f9cs-88; 25 REVISION: 1.0; 26 DATE: 88/4/13; 27 DESIGNER: MAT; 28 29 CLOCK: clk(100, 50, 0); 30 31 BOOLEAN: 32 .out := x; 33 34 FUNCTION: main: clk: 35 idle: 36 STOP(~.rst), 37 x <- .x_input, 38 y <- .y_input; 39 loop: 40 IF (x = y) 41 THEN (42 GOTO idle 43) 44 ELSE (45 IF (x < y) 46 THEN (y <- y - x) 47 ELSE (x <- x - y), 48 GOTO loop 49); 50 FEND; 51 52 END-VIEW; 53 </pre>												
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;">- Area of -</th> <th style="width: 33%;">- Time of -</th> <th style="width: 33%;">-</th> </tr> </thead> <tbody> <tr> <td>CHIP</td> <td>VHDL <=</td> <td>CLOCK <=</td> </tr> <tr> <td>DATAPATH</td> <td>VHDL >=</td> <td>CLOCK >=</td> </tr> <tr> <td>CONTROL</td> <td></td> <td></td> </tr> </tbody> </table>	- Area of -	- Time of -	-	CHIP	VHDL <=	CLOCK <=	DATAPATH	VHDL >=	CLOCK >=	CONTROL			
- Area of -	- Time of -	-											
CHIP	VHDL <=	CLOCK <=											
DATAPATH	VHDL >=	CLOCK >=											
CONTROL													
EXIT													

Design Constraint	
-------------------	--

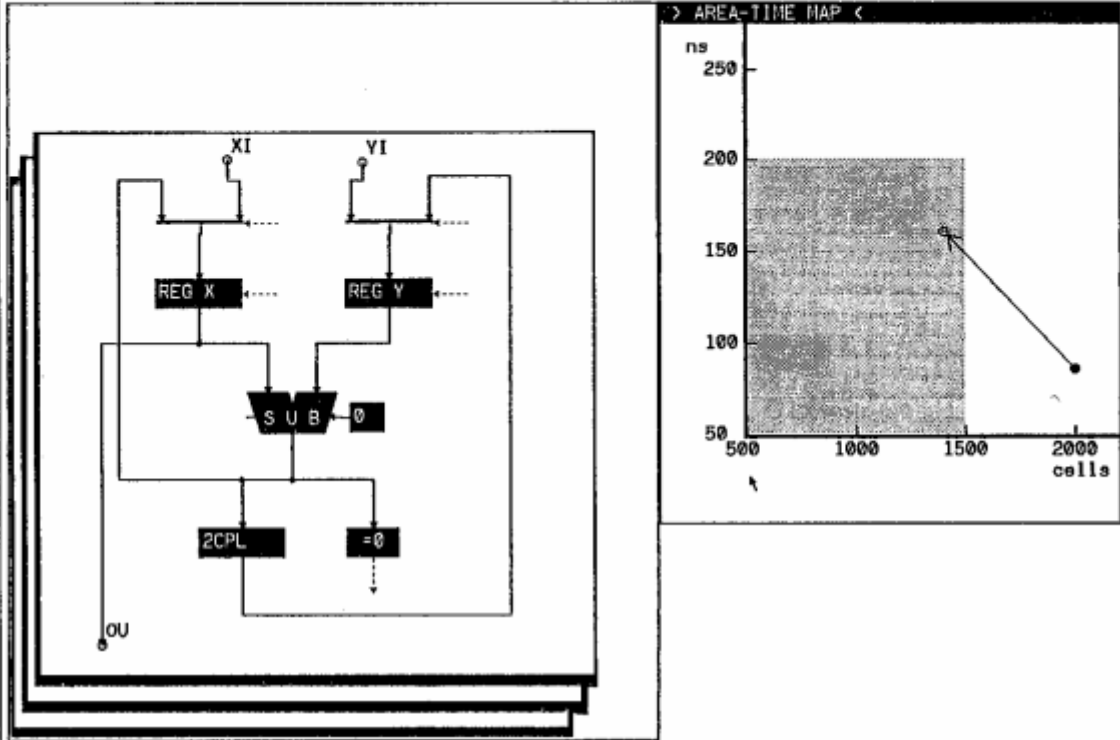
入力された動作記述（右ウィンドウ）と制約条件（左ウィンドウ）。制約条件は、回路の大きさ（セル数）、時間（クロック周期）に関する不等式で指定する。下はメッセージウィンドウ。

②設計時の動画面



回路は階層的に設計され、まずデータバス構成を決めてから、その各構成要素を設計する。回路の構成法には、いくつかのオルタナティブがあり、各時点でどれか一つを選んで設計を進める。上図中、左上がデータバスの縮小図、中上のウィンドウはデータバスの構成要素であり、その時点で設計中の減算器 (SUB) の設計の様子を示す。中下のウィンドウはSUB中の加算器 (ADD) の設計、再設計の様子を示し、3つのオルタナティブに対する子ウィンドウが重なっている。

③ 成功時



設計が成功すると、完成した回路の大きさと時間がプロット図（右ウィンドウ）に示され、入力待ち状態に戻る。この状態で制約条件を変更すると、新しい条件を満たすよう再設計を繰り返す。

参考文献

F. Maruyama, et al. "co-LODEX: A Cooperative Expert System for Logic Design"
FGCS '88, November, 1988.